

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-249749

(43)Date of publication of application : 26.09.1995

(51)Int.Cl.

H01L 27/12  
H01L 21/02

(21)Application number : 06-040964

(71)Applicant : CANON INC

(22)Date of filing : 11.03.1994

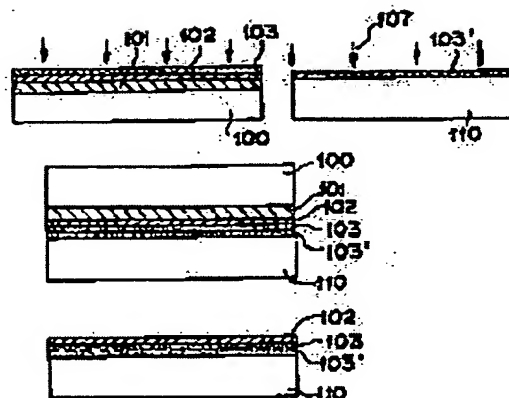
(72)Inventor : YAMAGATA KENJI  
YONEHARA TAKAO

## (54) PRODUCTION OF SOI BOARD

## (57)Abstract:

PURPOSE: To reduce voids at the interface by a factor of several to ten by activating the surface of SiO<sub>2</sub> to be bonded through plasma processing thereby enhancing the bonding strength.

CONSTITUTION: A substrate 100 deposited with an oxide and a previously prepared supporting substrate 110 deposited with a silicon oxide are set in a plasma processing system where they are subjected to surface activation by oxygen plasma. Both substrates are immersed into pure water and then dried before they are bonded on the processed surfaces. It is then heat treated and ground on the silicon substrate 100 side to expose a porous silicon 102 and only the porous part 101 is etched selectively and entirely. Consequently, an SOI substrate where single crystal silicon is deposited on silicon oxide is obtained and the density of void in the SOI film can be reduced by a factor of 4 as compared with a conventional SOI substrate which is not subjected to surface treatment.



## LEGAL STATUS

[Date of request for examination]

01.12.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3294934

[Date of registration]

05.04.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

**TRANSLATION OF JPA07-249749**

[TITLE OF THE INVENTION]

PRODUCTION OF SOI BOARD

[Claims]

[Claim 1]

A method for producing a SOI substrate, characterized by comprising the steps of:

preparing a first substrate in which a porous layer, an epitaxial layer, and a silicon oxide film are formed in turn;

providing a second substrate having a silicon oxide film on the surface thereof, and irradiating X ray on the surface of the silicon oxide film of at least one of the first substrate and the second substrate to activate the surface of the silicon oxide film;

bonding together the first substrate and the second substrate via the activated silicon oxide film; and

removing the silicon single crystal substrate and the porous layer of the bonded substrates to form a substrate in which the epitaxial layer is provided via the silicon oxide film on the second substrate.

[Claim 2]

The method for producing a SOI substrate according to claim 1, characterized in that the X ray is electron beam.

[Claim 3]

The method for producing a SOI substrate according to claim 1, characterized in that the X ray is plasma.

[Claim 4]

The method for producing a SOI substrate according to any one of claims 1 to 3, characterized in that the porous layer is formed by converting a surface layer of the silicon single crystal substrate to porous one by anodization.

[Claim 5]

The method for producing a SOI substrate according to any one of claims 1 to 4, characterized in that the removing the silicon single crystal substrate and the porous layer of the bonded substrates is performed by removing with grinding or etching, the silicon single crystal portion that is not converted to porous one, of the bonded silicon substrate, and then selectively etching the porous silicon portion.

[Claim 6]

The method for producing a SOI substrate according to claim 5, characterized in that the selectively etching the porous silicon portion is performed in a mixture etchant composed of hydrofluoric acid and aqueous hydrogen peroxide.

[Claim 7]

The method for producing a SOI substrate according to claim 3, characterized in that the plasma uses hydrogen, oxygen, nitrogen, a halogen gas, a single element inert gas, or a compound gas except silane based gas, or a mixture gas thereof.

[Detailed Description of the Invention]

[0001]

[Technical Field of the Invention]

The present invention relates to a method for producing SOI substrates, and more particularly to a method for producing SOI substrates that are produced by a bonding technique.

[0002]

[Prior Art]

A lot of works have been made on techniques for forming a single crystal silicon semiconductor layer on insulators, well known as Silicon on Insulator (SOI) technique, since such techniques have many advantages that cannot be achieved by means of bulk silicon substrates on which typical silicon integrated circuits are made.

[0003]

A method for forming SIO reported recently is so-called "bonded SOI" technique, which can provide a particularly excellent quality. In this technique, mirror surfaces of two wafers, at least one of which has thereon insulator film formed by oxidation or the like, are attached together, are then subject to heat treatment to enhance the bonding between the attaching surfaces; then one of the two substrate is polished or etched so that any thickness of silicon single crystal film is left on the insulator film. The most important step of the technique is to make a thin film from the silicon substrate. In particular, it is required to uniformly polish or etch a silicon substrate having a thickness of hundreds of  $\mu\text{m}$  to a thickness of a few  $\mu\text{m}$  or one  $\mu\text{m}$  or less, but this is very difficult to be achieved in technical view point regarding controllability and uniformity. Two typical methods for making such thin film

of silicon are: BPSOI (Bonding and Polishing SOI) which is a method using only polishing; and BESOI (Bond and Etchback SOI) which is a method in which an etching stop layer is provided immediately upon the thin film to be left (or, in the case of fabricating single body substrate, immediately under the thin film to be formed), and then two steps of etching, or the etching of the substrate and the etching of the etching stop, are performed. In order to ensure the uniformity in film thickness, BESOI is more advantageous since in most cases of BESOI, the silicon active layer is epitaxially grown on an etching stop layer formed in advance. However, there is a problem that since an etching stop may often contain impurity with a high concentration, this causes the distortion of crystal lattice and the propagation of crystal defects. There is also a possibility that during the oxidation of an epitaxial layer or the annealing after bonding, the diffusion of impurities occurs affecting the etching property.

[0004]

Another important issue regarding the bonding SOI is that interface states are easily generated in the bonding interface due to impurities from the atmosphere or the surface roughness of the substrate surface. The interface states tend to cause the deterioration in characteristics such as leak current. To avoid this, a method may be used in which the bonding is performed after oxidation of the active layer. In this case, the interface between the active layer and its under layer is not the bonding interface but the thermal oxidation interface, which can have reduced

interface states. However, in order to obtain oxidation film having a thickness that is adequate for achieving SOI feature, it is required that a large portion of the active layer be oxidized, and this, in the case of BESOI described above, may change the impurity profile in the etching stop layer due to the heat during the oxidation. Accordingly, the oxidation of the active layer is performed to a small thickness and a silicon oxide layer is formed with a large thickness on the other substrate, and those oxide films are bonded with each other. However, this also causes another problem. The problem is that the strength of bonding between the silicon oxide films is lower than that between silicon body and silicon oxide film, and this causes the generation of a large number of spaces or "voids" in the bonding interface.

[0005]

Among methods for bonding SiO<sub>2</sub> bodies together with a higher bonding strength than the current methods, a method is reported by Goets, et al. in which a quartz substrate and a silicon substrate having a oxidized surface thereon are bonded together (G. G. Goetz, Electrochemical Society Bonding Symposium 1991, Extended abstract, pp. 65). In this method, SiO<sub>2</sub> is activated by energy that is generated from oxygen ion plasma impingement onto the SiO<sub>2</sub> surface caused by exposing the SiO<sub>2</sub> surface to RF plasma of oxygen and providing DC bias between plasma and the silicon substrate. The bonding of the activated SiO<sub>2</sub> bodies has a bonding strength several times higher than the bonding of no-activated SiO<sub>2</sub> bodies. In other words, only very lower

temperature heat treatment is needed to obtain the same bonding strength. Therefore, the method is suitable for BESOI for which high temperature heat treatment is not preferable, and a combination of bodies with different thermal expansion coefficients such as glass and silicon bodies.

[0006]

The generation of voids is largely influenced by not only the bonding strength but also the roughness of the bonding surfaces. From this view, the BESOI described above is often disadvantageous. This is because in a typical method for an etching stop layer involves hetero epitaxial growth by CVD or epitaxial growth with doping of high concentration impurities, and, in the case of CVD, particularly hetero epitaxial growth, the surface smoothness is often lower than that obtained by polishing. The etching stop layer can be formed by ion implantation or the like, but the resultant surface smoothness is also worse.

[0007]

In order to achieve good smoothness between the bonding surfaces, good uniformity in film thickness of the active layer, and good selectivity of etchback that is a few orders of magnitude higher than that of the conventional BESOI, a technique may be used, for example, in which the surface of a silicon substrate is anodized so that the surface becomes porous, and an active silicon layer is then epitaxially grown on the surface (see Japanese Patent Laid-Open No. 5-21338). In this case, the porous layer is equivalent to the etching



stop layer for BESOI. However, the porous silicon is deemed to be more important regarding its high etching selectivity rather than as an etching stop layer since the porous silicon has a much higher etching rate in hydrofluoric-acid based etchant than single crystal silicon. In this technique, the porous silicon layer is formed by anodizing the surface of a single crystal silicon substrate instead of using CVD. Thus, the active layer epitaxially grown has good smoothness relative to the case of BESOI in which an etching stop layer by CVD or the like is formed. However, the surface of the epitaxial grown layer in this technique still has inadequate smoothness depending on the polished surface of the bulk. Accordingly, a certain number of voids may be generated during the bonding of an oxidized active layer and a silicon oxide film.

[0008]

[Problems to be Solved by the Invention]

As described above, there is a problem of the generation of spaces called "voids" that is due to the low bonding strength between silicon oxide films relative to that between silicon body and silicon oxide film.

[0009]

The generation of voids is also sensitive to the roughness of bonding surfaces as well as the bonding strength. The surface of the epitaxially grown layer has still inadequate smoothness relative to the polished surface of bulk. Therefore, there is a problem of certain void generation during the bonding of an oxidized active layer and a silicon oxide film.

[0010]

Thus, there is still a problem to be solved that no ideal SOI can be produced that has good uniformity of the active layer, adequate thickness of under layer  $\text{SiO}_2$ , few interface states, and few voids.

[0011]

(Object of the invention)

It is an object of the present invention to provide a method for producing an ideal SOI that has good uniformity of the active layer, adequate thickness of under layer  $\text{SiO}_2$ , few surface states, and few voids.

[0012]

[Means for Solving the Problems and Operation]

According to a method for producing a SOI substrate of the present invention, a single crystal silicon layer is epitaxially grown on porous silicon surface of a silicon substrate that has been subject to conversion of the surface layer to porous one, and the growth surface layer is then oxidized to form a first substrate. A supporting substrate (a second substrate) that also has  $\text{SiO}_2$  on its surface is provided. The two substrates or one of them is exposed to a plasma of oxygen or the like, or X ray or electron beam to chemically activate the surface of the  $\text{SiO}_2$ . Then, the two substrates is adhered to each other in room temperature only with van der Waals force. After the two substrates are subject to heat treatment (or without heat treatment), the silicon substrate portion of epitaxial growth side is ground or etched, and then the porous portion is selectively etched to form a single crystal silicon thin film on  $\text{SiO}_2$ .

[0013]

In implementing the present invention, porous silicon has two important physical advantages.

[0014]

One advantage is the etching property of porous silicon. Silicon is usually etched very little in hydrofluoric acid, while the silicon converted to porous one can be etched. When using mixture etchant composed of hydrofluoric acid and aqueous hydrogen peroxide, the ratio of etching rates of non-porous silicon and porous silicon can be about the fifth power of 10. Therefore, very thin silicon layer of around 1  $\mu\text{m}$  can be selectively etched with good uniformity and controllability.

[0015]

The other advantage is epitaxial growth property. Porous silicon also has the single crystal structure in which pores of several ten to several hundred angstrom diameters are distributed with high density from the surface through the inside. A epitaxial layer grown on such surface can advantageously have a crystallinity level substantially equal to that of epitaxial layers on non-porous single crystal substrates.

[0016]

In one aspect of the epitaxial growth on porous silicon, stacking faults may occur from the growth interface in low density. The stacking faults thus generated during epitaxial growth are transferred after the bonding, and consequently, stacking faults observed in the resultant SOI

substrate appear in the opposite direction to the normal direction.

[0017]

The above physical advantages allows the use of a single crystal thin film having similar level to epitaxial layers on single crystal silicon substrates that have high reliability as active layers. Therefore, an SOI substrate can be provided which has better crystallinity and better uniformity in film thickness than conventional SOI substrates.

[0018]

Furthermore, according to a process of the present invention,  $\text{SiO}_2$  surfaces of the two substrates are bonded together, interface states at the interface between the epitaxial silicon film (active layer) and  $\text{SiO}_2$  (thermal oxide film of the epitaxial layer) are very few, and the thickness of the  $\text{SiO}_2$  layer can be controlled arbitrarily, and thus a substrate that fully utilizes SOI's advantages can be produced.

[0019]

Since  $\text{SiO}_2$  at the bonding surface has surface that is activated by plasma treatment, X ray irradiation or electron beam irradiation, the bonding surface has an adequately enhanced strength thereby reducing the void generation.

[0020]

The selective etching of the porous silicon portion is preferably etched in mixture etchant of hydrofluoric acid and aqueous hydrogen peroxide, thereby allowing etching to be performed with good controllability.

[0021]

The plasma preferably uses hydrogen, oxygen, nitrogen, a halogen gas, a single element inert gas, or a compound gas except silane based gas, or a mixture gas thereof, thereby allowing the SiO<sub>2</sub> surface to be activated more effectively.

[Embodiments of the Invention]

[0022]

(Embodiment)

An embodiment of the present invention will be described with reference to Figures 1 and 6.

[0023]

(Figure 1-1)

A single crystal silicon substrate 100 is anodized to form a porous silicon layer 101. The porous silicon layer 101 may be formed with a thickness of several  $\mu\text{m}$  to several tens  $\mu\text{m}$  on the surface of one side of the substrate. Alternatively, the entire substrate may be anodized.

[0024]

A method for forming the porous silicon will be describe with reference to Figure 6. First, a P-type single silicon substrate 600 is provided. Alternatively, a N-type single silicon substrate may be used provided that the substrate has low resistance or the formation of porous silicon is performed with hole generation enhanced by light irradiation onto the substrate surface. The substrate 600 is set in a apparatus shown in Figure 6-1. Specifically, one side of the substrate is immersed in a hydrofluoric acid based solution 604 while a negative electrode 606 is in the solution

and the other side of the substrate is in contact with a metal electrode 605.

[0025]

Alternatively, a positive electrode 605' may be provided with electrical potential via a solution 604' as shown in Figure 602. In any case, the formation of the porous layer takes place on the side of the substrate facing the negative electrode immersed in the hydrofluoric acid based solution.

[0026]

The hydrofluoric acid based solution 604 may be typically a concentrated hydrofluoric acid (49% HF). It is not preferred to dilute it with pure water (H<sub>2</sub>O) since etching occurs in a diluted solution with certain concentration or lower depending on the current applied. An alcohol may be added to the hydrofluoric acid based solution 604 as a surfactant in order to efficiently remove bubbles that are generated from the surface of the substrate 600 during anodization. The alcohol may be methanol, ethanol, propanol, isopropanol, or the like. Alternatively, the anodization may be performed with the solution stirred by a stirrer instead of using a surfactant. The negative electrode 606 may consist of a material such as gold (Au) or platinum (Pt) that does not erode in hydrofluoric acid solution. The positive electrode 605 may consist of a commonly used metal. However, the positive electrode 605 is preferably coated with a metal film resistant to hydrofluoric acid solution, on the surface thereof since the hydrofluoric acid based solution 604 reaches the positive

electrode 605 upon having anodized the entire substrate 600. The current level for the anodization may be several hundreds mA/cm<sup>2</sup> at maximum and any level but null at minimum. The current level is determined so that it is in a range allowing the good epitaxial growth on the surface of the porous silicon. Generally, higher current level increases the anodization rate, and decrease the density of the resultant porous silicon, which means larger volume of pores. This changes the condition of the epitaxial growth.

[0027]

(Figure 1-2)

On the porous layer 101 thus formed, a single crystal silicon layer 102 is grown which is not porous. The epitaxial growth may be performed by a typical thermal CVD, reduced pressure CVD, plasma CVD, molecular beam epitaxy, or sputtering. The thickness of the grown film may be at the design value of the SOI layer, and preferably 2  $\mu\text{m}$  or less. This is because when a single crystal silicon film with a thickness more than 2  $\mu\text{m}$ , in contact with the SiO<sub>2</sub>-based insulator substrate is subject to heat treatment in a device process, a large stress is generated between the bonding interface due to the difference in thermal expansion coefficient between those two materials, which causes breakage of silicon film, curve of the substrate, or peeling at interface. On the other hand, if the thickness of the grown film is 2  $\mu\text{m}$  or less, relatively small stress is only generated, and hence the possibility of breakage of film, peeling or curve is reduced. The thickness of the grown film is more preferably 0.5  $\mu\text{m}$  or less. This is because

the thickness more than 0.5  $\mu\text{m}$  tends to cause slip line in lattice at a micro region even if peeling or breakage does not occur during a later anneal.

[0028]

(Figure 1-3)

The surface of the epitaxial layer 102 is oxidized (103). Otherwise, the epitaxial layer would be directly bonded to the supporting substrate in the next step, and then impurities would tend to segregate at the bonding surface, increasing the number of dangling bonds of atoms at the interface, and hence resulting in unstable characteristics of the thin film device.

[0029]

Note that the oxide film only needs to have a thickness such that the thin film device is not influenced by contamination at the bonding surface that comes from the atmosphere.

[0030]

(Figure 1-4)

The substrate 100, which has the epitaxial surface having the oxidized surface, and a substrate 110 (a supporting substrate) which has  $\text{SiO}_2$  (103') on its surface are provided. The supporting substrate 110 may be, for example, a silicon substrate with an oxidized surface, a quartz glass, a crystal glass, or any substrate with  $\text{SiO}_2$  deposited thereon.

[0031]



Then, both the substrate or one of them is exposed to plasma atmosphere, or X ray or electron beam to activate the SiO<sub>2</sub> on the surface.

[0032]

The gas used in the exposure to plasma atmosphere is preferably oxygen, but may be the air (mixture of oxygen and nitrogen), nitrogen, hydrogen, an inert gas such as argon or helium, or a molecular gas such as ammonia. The energy of the irradiation to the substrate is preferably controlled in a range of DC bias of several volt to about 400 volts. Biases higher than the range is not preferable since it causes SiO<sub>2</sub> to be etched at much higher rate resulting in surface damage. The irradiation energy can be controlled using self-bias that is generated by the plasma itself, instead of using DC bias. The self-bias depends, for example, largely on RF power for generating the plasma, and also on the type of gas and the pressure of gas.

[0033]

X ray can be used in the atmosphere or oxygen atmosphere. The irradiation of electron beam must be performed in vacuum.

[0034]

(Figure 1-5)

The two provided substrate, after cleaned, are bonded together. The cleaning is preferably performed only by pure water rinse, and may also be performed using an aqueous hydrogen peroxide that is diluted with pure water, or an aqueous hydrochloric acid or sulfuric acid that is adequately diluted with pure water.

[0035]

Pressurizing over the bonded substrates can effectively enhance the bonding strength.

[0036]

Next, the bonded substrates are subject to heat treatment. Higher temperature is preferred for the heat treatment. However, too high temperature can causes the structural change of the porous layer 101 or causes impurities in the substrates to diffuse into the epitaxial layer. This should be avoided by selecting a suitable temperature and time for the heat treatment. Specifically, about 600 to 100 degree C is preferable. There is a substrate that cannot be subject to heat treatment with high temperature. For example, in the case of the supporting substrate 110 is of quartz glass, it can be subject to heat treatment only in temperatures of about 200 degree C or lower because of the difference in thermal expansion coefficient between silicon and quartz. Heat treatment in higher than the temperature causes the detachment of the bonded substrates due to stress, or causes the cracking of them. However, the heat treatment needs to be performed only to the degree with which the bonded substrates can stand with stress that is generated when grinding or etching of the silicon bulk 100 in a later step. Therefore, a process with temperature lower than 200 degree C is available by optimizing surface treatment condition for activation.

[0037]

(Figure 1-6)

Then, the silicon substrate portion 100 and the porous portion 101 are selectively removed so that the epitaxial

growth layer 100 only remains. First, the silicon substrate portion 100 is ground away by a surface grinder or the like or is removed away with an alkali solution such as potassium hydroxide, or aqueous ammonia, or organic alkali solution such as trimethyl ammonium. The etching can be performed effectively in heated solution at 100 degree C or lower. Alkali based solution etches  $\text{SiO}_2$  very little, and thus can selectively etch only the silicon substrate portion if the supporting substrate is of glass or is a silicon substrate covered with oxide film. The etching removal may also be performed using hydrofluoric acid and nitric acid, or mixture acid prepared by adding acetic acid to them or the like. However, hydrofluoric acid/nitric acid based etchant also etches the supporting substrate by a certain amount, and thus long time use of such etchant should be avoided. When the porous portion 101 is exposed by the etching of the silicon substrate portion 100, the etching is stopped, and the porous portion 101 is then selectively etched in hydrofluoric acid based solution. The epitaxial growth portion 102 is not porous, not reacting with hydrofluoric acid, and thus still remains as a thin film. Note that it is not preferable to immerse the supporting substrate 110 in hydrofluoric acid solution for a long time in the case where it mainly contains  $\text{SiO}_2$ , since such a substrate easily reacts with hydrofluoric acid. However, this is not a problem when the porous silicon layer is thin, since it does not take so much time to etching away such a film. If it is desirable that the supporting substrate 110 be not etched at all, silicon nitride film or another material that does not easily react with

hydrofluoric acid may be deposited in advance by CVD or the like on the bonding surface and the opposite side surface. If the porous portion 101 is made thin to a certain thickness using alkali solution, organic alkali solution, or hydrofluoric acid/nitric acid solution before immersing the substrate in the etchant, the supporting substrate reacts very little since it only needs a short period of time to selectively etch the epitaxial layer and porous layer.

[0038]

The hydrofluoric acid based solution used in the selective etching of the epitaxial film 102 and porous layer 101 may be a mixture of hydrofluoric acid and aqueous hydrogen peroxide ( $H_2O_2$ ). A mixture of hydrofluoric acid and nitric acid, or a mixture prepared by adding acetic acid to them can also selectively etches the porous silicon. However, in this case, control of time etc. should be precisely made since the selectivity is not adequate and the single crystal silicon thin film to be left is etched by a certain amount.

[0039]

By performing the above steps, a single crystal silicon thin film can be formed on an insulator substrate.

[0040]

[Examples]

(Example 1)

A first example (Example 1) will be described in detail with reference to Figures 1 and 6.

[0041]

(Figure 1-1)

A 5-inch P-type (100) single crystal silicon substrate (0.1 to 0.2  $\Omega\cdot\text{cm}$ ) with a thickness of 625  $\mu\text{m}$  was provided, and was set in an apparatus as shown in Figure 6-1 to be anodized so that the surface portion of the silicon substrate 100 with 20  $\mu\text{m}$  thickness was converted to porous silicon 101. 49% HF solution was used as the solution 604. The current density was 100  $\text{mA}/\text{cm}^2$ . The rate of conversion to porous silicon was 8.4  $\mu\text{m}/\text{min}$ , and thus it took about 2.5 minutes to obtain a porous layer of 20  $\mu\text{m}$  thickness.

[0042]

(Figure 1-2)

A single crystal silicon layer 102 of 0.5  $\mu\text{m}$  was epitaxially grown on the porous silicon 101 by a CVD technique.

[0043]

Used gas:  $\text{SiH}_4/\text{H}_2$

Gas flow rate: 0.62/140 (l/min)

Temperature: 750 degree C

Pressure: 80 Torr

Growth rate: 0.12 micorn/min

(Figure 1-3)

The substrate prepared with the above condition was subject to a treatment of 900 degree C in steam atmosphere to form an oxide film 103 of 0.1  $\mu\text{m}$ .

[0044]

(Figure 1-4)

The substrate 100 having the above oxide film and a supporting substrate (silicon wafer) 110 provided in advance, having silicon oxide film of 0.5  $\mu\text{m}$  thickness are set in

a plasma treatment apparatus, and the surfaces thereof are activated with oxygen plasma. The treatment conditions were as follows:

[0045]

RF frequency: 13.58 MHz

RF power: 400 W

Oxygen flow rate: 30 sccm

Pressure: 15 pa

Treatment time: 5 minutes

No bias control was performed between the plasma and the substrate, and the surface treatment was performed only using the self-bias of the plasma.

[0046]

(Figure 1-5)

The two substrates experienced the above surface treatment were immersed in pure water for 5 minutes, spin dried, and then bonded together with their treated surfaces facing to each other. Then, they were subject to heat treatment of 800 degree C and 6 hours.

[0047]

(Figure 1-6)

After the heat treatment, the silicon substrate 100 was ground by 610  $\mu\text{m}$  using a surface grinder to expose the porous silicon 102.

[0048]

The substrate was then immersed in selective etching solution to selectively etch away only the entire porous portion 101. The composition of the selective etching solution and the etching rate for the porous silicon were:

HF : H<sub>2</sub>O<sub>2</sub> = 1 : 5            1.6 μm/min.

Thus, it took about 13 minutes to etch away the porous portion of a thickness a little bit smaller than 20 μm. The etching rate of the single crystal silicon layer 102 was 0.0006 μm/hour, and thus most of it was not etched and was left.

[0049]

Consequently, an SOI substrate was obtained in which a single crystal silicon film of about 0.4 μm was on a silicon oxide film of 0.6 μm, with the density of void in the SOI film reduced by a factor of 4 as compared with a conventional SOI substrate which is not subject to a surface treatment.

[0050]

(Example 2)

A second example (Example 2) will be described in detail with reference to Figure 2.

[0051]

(Figure 2-1)

A 4-inch P-type (100) silicon substrate (resistivity 0.01 Ω·cm) with a thickness of 300 μm was provided, and its surface layer with 20 μm thickness was converted to porous silicon 201 as Example 1.

[0052]

(Figure 2-2)

An epitaxial layer 202 was formed with 0.15 μm on the produced porous surface as Example 1.

[0053]

(Figure 2-3)

The substrate produced by the above method was oxidized by 0.1 μm in steam of 1000 degree C.

[0054]

(Figure 2-4)

The above substrate and a 4-inch composite quartz substrate 210 provided in advance were subject to plasma treatment for its surface as Example 1.

[0055]

(Figure 2-5)

The silicon substrate 200 and the quartz substrate 210 were immersed in pure water for 5 minutes, and then bonded together with their treated surfaces facing to each other. Then, they were subject to heat treatment of 180 degree C and 24 hours.

[0056]

(Figure 2-6)

The silicon substrate portion 200 (280  $\mu\text{m}$ ) was etched in mixture solution (hydrofluoric acid/nitric acid/acetic acid with 1:10:10). After the porous silicon layer 201 was exposed, it was selectively etched in mixture solution (hydrofluoric acid/hydrogen peroxide with 1:5). The etching rate of the single crystal silicon in the hydrofluoric acid/nitric acid/acetic acid was about 2  $\mu\text{m}/\text{min}$ , and hence it took about 140 minutes to etch away the single crystal silicon. The etching rate of the porous silicon in the hydrofluoric acid/hydrogen peroxide was about 1.6  $\mu\text{m}/\text{min}$ , and hence it took about 13 minutes to etch away the porous silicon. The quartz substrate 210 was only etched by several  $\mu\text{m}$ .

[0057]



Consequently, an SOI substrate was obtained in which a single crystal silicon thin film of  $0.1\ \mu\text{m}$  was on a quartz substrate, with the density of void in the SOI reduced by a factor of 5 as compared with a conventional quartz based SOI which is not subjected to a surface treatment.

[0058]

(Example 3)

(Figure 3-1)

A 5-inch P-type (100) single crystal silicon substrate 300 (resistivity  $0.01\ \Omega\cdot\text{cm}$ ) with a thickness of  $625\ \mu\text{m}$  was provided, and a porous layer 301 was formed with  $20\ \mu\text{m}$  thickness from the surface of the single crystal silicon substrate 300.

[0059]

(Figure 3-2)

An epitaxial layer 302 was formed with  $0.5\ \mu\text{m}$  thickness on the obtained porous surface of the substrate as Example 1.

[0060]

(Figure 3-3)

The surface of the epitaxial layer 302 of the substrate was oxidized by  $0.2\ \mu\text{m}$  in steam of  $1000\ \text{degree C}$  to obtain a  $\text{SiO}_2$  layer 303. As a result, the epitaxial layer consisted of a silicon single crystal portion of  $0.4\ \mu\text{m}$  and an oxide film portion of  $0.2\ \mu\text{m}$ .

[0061]

(Figure 3-4)

The substrate 300 obtained by the above method and a composite quartz substrate 310 provided in advance were

subject to plasma treatment. The treatment conditions were as follows:

[0062]

RF frequency: 13.56 MHz

RF power: 450 W

Gas type: mixture of oxygen and nitrogen

Ratio of flow rates: 40 sccm/160 sccm

Pressure: 20 pa

Treatment time: 8 minutes

(Figure 3-5)

The treated substrates were cleaned in 10% aqueous hydrogen peroxide, then rinsed in pure water, then dried, and then bonded together. Then, the bonded substrates were subject to pressure of 70 tons for 10 minutes.

[0063]

(Figure 3-6)

The substrates, without experiencing heat treatment, were subject to etching in a solution for the silicon substrate portion. First, the thermal oxide film 303 covering the silicon substrate was removed in dilute hydrofluoric acid, and then immersed 2.4% aqueous solution of tetramethyl ammonium hydride, (trade name: SD-1) manufactured by Tokuyama Soda Co. (currently named Tokuyama Co.) with 90 degree C for 5 hours. Consequently, the bulk silicon portion 300 of the silicon substrate was etched away to expose the porous layer 301. Then, the porous portion 301 was selectively etched in aqueous solution of hydrofluoric acid/hydrogen peroxide.

[0064]

(Figure 3-7)

The single crystal silicon thin film 302 on the quartz substrate 310 obtained the above steps was patterned in form of islands according to the areas, shapes and placement of element design. After the patterning, at a first step for element formation, the island regions were oxidized by 0.05  $\mu\text{m}$  in oxygen atmosphere of 1000 degree C. Thus, this oxidation step also served as heat treatment, and consequently, an SOI was obtained in which a single crystal silicon thin film of 0.4  $\mu\text{m}$  was on a transparent substrate.

[0065]

(Example 4)

A fourth example (Example 4) will be described in detail with reference to Figure 4.

[0066]

(Figure 4-1)

A 5-inch P-type (100) silicon substrate 400 (resistivity 0.01  $\Omega\cdot\text{cm}$ ) with a thickness of 400  $\mu\text{m}$  was provided, and a porous layer 401 was formed with 20  $\mu\text{m}$  thickness from the surface of the silicon substrate 400.

[0067]

(Figure 4-2)

An epitaxial layer 402 was formed with 0.5  $\mu\text{m}$  thickness on the obtained porous surface of the substrate as Example 1.

[0068]

(Figure 4-3)

The surface of the epitaxial layer 402 of the substrate was oxidized by 0.05  $\mu\text{m}$  in steam of 900 degree C to obtain a  $\text{SiO}_2$  layer 403.

[0069]

(Figure 4-4)

The substrate 400 obtained by the above method and a 5-inch composite quartz substrate 410 with 625  $\mu\text{m}$  thickness provided in advance were subject to plasma treatment. The treatment conditions were as follows:

[0070]

RF frequency: 13.56 MHz

RF power: 450 W

Gas type: mixture of oxygen and nitrogen

Ratio of flow rates: 40 sccm/160 sccm

Pressure: 20 pa

Treatment time: 3 minutes

(Figure 4-5)

The treated substrates were cleaned in 10% aqueous hydrogen peroxide, then rinsed in pure water, then dried, and then bonded together. Then, the bonded substrates were subject to pressure of 70 tons for 10 minutes. Then the substrates were subject to heat treatment of 180 degree C and 24 hours.

[0071]

(Figure 4-6)

The silicon substrate was ground using a surface grinder so that only 100  $\mu\text{m}$  of it was left. Then, a structure was formed in which the silicon substrate of 100  $\mu\text{m}$  including the porous layer and epitaxial layer was bonded onto the

quartz substrate of 625  $\mu\text{m}$ . It was then subject to heat treatment of 300 degree C and 24 hours.

[0072]

(Figure 4-7)

The remaining bulk portion 400 was then ground by a surface grinder, and then the porous silicon portion 401 was etched in mixture solution of hydrofluoric acid/aqueous hydrogen peroxide. Consequently, an SOI substrate was obtained in which a single crystal silicon thin film 402 of 0.4  $\mu\text{m}$  was on a quartz substrate, with the density of void in the SOI reduced by a factor of 10 as compared with a conventional quartz based SOI which is not subject to a surface treatment.

[0073]

(Example 5)

A fifth example (Example 5) will be in detail described with reference to Figure 5.

[0074]

(Figure 5-1)

A 4-inch P-type (100) single crystal silicon substrate 500 (resistivity 0.01  $\Omega\cdot\text{cm}$ ) with a thickness of 300  $\mu\text{m}$  was provided, and the surface layer of 20  $\mu\text{m}$  was converted to porous silicon 501 as Example 1

[0075]

(Figure 5-2)

An epitaxial layer 502 was formed with 0.15  $\mu\text{m}$  thickness on the obtained porous surface as Example 1.

[0076]

(Figure 5-3)

The substrate obtained by the above method was oxidized by 0.1  $\mu\text{m}$  in steam of 1000 degree C.

[0077]

(Figure 5-4)

A 4-inch silicon substrate 510 having silicon oxide film of 0.7  $\mu\text{m}$  provided in advance was subject to plasma treatment for its surface as Example 1. The substrate on which the epitaxial growth had been made on the porous silicon was not subject to plasma treatment.

[0078]

(Figure 5-5)

The two substrates were cleaned in 10% aqueous hydrogen peroxide, then rinsed in pure water, then dried, and then bonded together. Then, the bonded substrates were under pressure of 70 tons and temperature of 200 degree C for 1 hour. Then, the resultant substrate was annealed with 1000 degree C for 30 minutes.

[0079]

(Figure 5-6)

The substrate was, as Example 1, subject to grinding and selective etching to remove the bulk portion 500 and porous portion 501 of the first substrate.

[0080]

Consequently, an SOI substrate was obtained in which a single crystal silicon film of about 0.1  $\mu\text{m}$  was on a silicon oxide film of 0.8  $\mu\text{m}$ , with the density of void in the SOI film reduced by a factor of 10 as compared with a conventional SOI film which is not subject to a surface treatment.

[0081]

(Example 6)

(Figure 6-1)

A 5-inch P-type (100) silicon substrate 600 (resistivity  $0.01 \Omega\cdot\text{cm}$ ) with a thickness of  $400 \mu\text{m}$  was provided, and a porous layer 601 was formed with  $20 \mu\text{m}$  thickness from the surface of the silicon substrate 600.

[0082]

(Figure 6-2)

An epitaxial layer 602 was formed with  $0.5 \mu\text{m}$  thickness on the obtained porous surface of the substrate as Example 1.

[0083]

(Figure 6-3)

The surface of the epitaxial layer 602 of the substrate was oxidized by  $0.2 \mu\text{m}$  in steam of  $1000^\circ\text{C}$  to obtain a  $\text{SiO}_2$  layer 603. As a result, the epitaxial layer consisted of a silicon single crystal portion of  $0.4 \mu\text{m}$  and an oxide film portion of  $0.2 \mu\text{m}$ .

[0084]

(Figure 6-4)

The substrate 600 obtained by the above method and a composite quartz substrate 610 provided in advance were subject to soft X-ray irradiation ( $2 \text{ nm}$  wavelength) in the atmosphere for 30 seconds.

[0085]

(Figure 6-5)

The treated substrates were cleaned in 10% aqueous hydrogen peroxide, then rinsed in pure water, then dried,

and then bonded together. Then, the bonded substrates were subject to pressure of 70 tons for 10 minutes.

[0086]

(Figure 6-6)

The substrates, without experiencing heat treatment, were subject to etching in a solution for the silicon substrate portion. First, the thermal oxide film 603 covering the silicon substrate was removed in dilute hydrofluoric acid, and then immersed 2.4% aqueous solution of tetramethyl ammonium hydride, (trade name: SD-1) manufactured by Tokuyama Soda Co. (currently named Tokuyama Co.) with 90 degree C for 5 hours. Consequently, the bulk silicon portion 600 of the silicon substrate was etched away to expose the porous layer 601. Then, the porous portion 601 was selectively etched in aqueous solution of hydrofluoric acid/hydrogen peroxide.

[0087]

(Figure 6-7)

The single crystal silicon thin film 602 on the quartz substrate 610 obtained the above steps was patterned in form of islands according to the areas, shapes and placement of element design. After the patterning, at a first step for element formation, the island regions were oxidized by 0.05  $\mu\text{m}$  in oxygen atmosphere of 1000 degree C. Thus, this oxidation step also served as heat treatment, and consequently, an SOI was obtained in which a single crystal silicon thin film of 0.4  $\mu\text{m}$  was on a transparent substrate.

[0088]

(Similar process to Example 3)



(Example 7)

(Figure 7-1)

A 5-inch P-type (100) silicon substrate 700 (resistivity  $0.01 \Omega\cdot\text{cm}$ ) with a thickness of  $400 \mu\text{m}$  was provided, and a porous layer 701 was formed with  $20 \mu\text{m}$  thickness from the surface of the silicon substrate 700.

[0089]

(Figure 7-2)

An epitaxial layer 702 was formed with  $0.5 \mu\text{m}$  thickness on the obtained porous surface of the substrate as Example 1.

[0090]

(Figure 7-3)

The surface of the epitaxial layer 702 of the substrate was oxidized by  $0.05 \mu\text{m}$  in steam of  $900^\circ\text{C}$  to obtain a  $\text{SiO}_2$  layer 703.

[0091]

(Figure 7-4)

The substrate 700 obtained by the above method and a 5-inch composite quartz substrate 710 with  $625 \mu\text{m}$  thickness provided in advance were set in vacuum equipment and subject to electron beam irradiation with an acceleration energy of  $0.5 \text{ KeV}$ .

[0092]

(Figure 7-5)

The treated substrates were cleaned in 10% aqueous hydrogen peroxide, then rinsed in pure water, then dried, and then bonded together. Then, the bonded substrates were subject to pressure of 70 tons for 10 minutes. Then the

substrates were subject to heat treatment of 180 degree C and 24 hours.

[0093]

(Figure 7-6)

The silicon substrate was ground using a surface grinder so that only 100  $\mu\text{m}$  of it was left. Then, a structure was formed in which the silicon substrate of 100  $\mu\text{m}$  including the porous layer and epitaxial layer was bonded onto the quartz substrate of 625  $\mu\text{m}$ . It was then subject to heat treatment of 300 degree C and 24 hours.

[0094]

(Figure 7-7)

The remaining bulk portion 700 was then ground by a surface grinder, and then the porous silicon portion 701 was etched in mixture solution of hydrofluoric acid/aqueous hydrogen peroxide. Consequently, an SOI substrate was obtained in which a single crystal silicon thin film 702 of 0.4  $\mu\text{m}$  was on a quartz substrate, with the density of void in the SOI reduced by a factor of 10 as compared with a conventional quartz based SOI which is not subject to a surface treatment.

[0095]

(Similar to Example 4)

[0096]

[Advantages of the Invention]

As described above in detail, according to the present invention, in a method for producing SOI substrate that is obtained by: bonding together a substrate formed by converting the surface layer of a silicon substrate to porous

surface, then epitaxially growing single crystal silicon, and then oxidizing the surface of the grown layer, and a substrate having SiO<sub>2</sub> on its surface; and removing the bulk silicon portion and the porous silicon portion of the silicon substrate, when the SiO<sub>2</sub> surface to be bonded is activated by plasma treatment, or X ray or electron beam treatment, the bonding strength can be enhanced, and the number of voids generated in the interface can be reduced by a factor of two or three to ten.

[0097]

The enhanced strength also gives an advantage that annealing temperature after the bonding can be lowered.

[0098]

Furthermore, the present invention also gives an advantage to allow the production of an ideal SOI substrate having an active layer with uniform film thickness, an under layer SiO<sub>2</sub> with an adequate thickness, few interface states, and few voids.

[Brief Description of the Drawings]

[Figure 1]

Figure 1 is a diagram of process for illustrating steps of an embodiment and Example 1 of the present invention.

[Figure 2]

Figure 2 is a diagram of process for illustrating Example 2 of the present invention.

[Figure 3]

Figure 3 is a diagram of process for illustrating Example 3 of the present invention.

[Figure 4]

Figure 4 is a diagram of process for illustrating Example 4 of the present invention.

[Figure 5]

Figure 5 is a diagram of process for illustrating Example 5 of the present invention.

[Figure 6]

Figure 6 is a diagram of an apparatus for converting a silicon substrate to porous one.

[Description of Symbols]

100, 200, 300, 400, 500, 600 single crystal silicon substrate

101, 201, 301, 401, 501 silicon substrate converted to porous one

102, 202, 302, 402, 502 epitaxial growth layer

103, 203, 303, 403, 503 epi oxide film

103', 503' supporting substrate silicon oxide film

110, 210, 310, 410, 510 supporting substrate having SiO<sub>2</sub> layer on its surface

107, 207, 307, 407, 507 plasma

604, 604' etchant

605, 605' positive electrode

606, 606' negative electrode

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-249749

(43) 公開日 平成7年(1995)9月26日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/12	B			
21/02	B			

審査請求 未請求 請求項の数 7 O L (全 10 頁)

(21) 出願番号 特願平6-40964

(22) 出願日 平成6年(1994)3月11日

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 山方 憲二

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

(72) 発明者 米原 隆夫

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

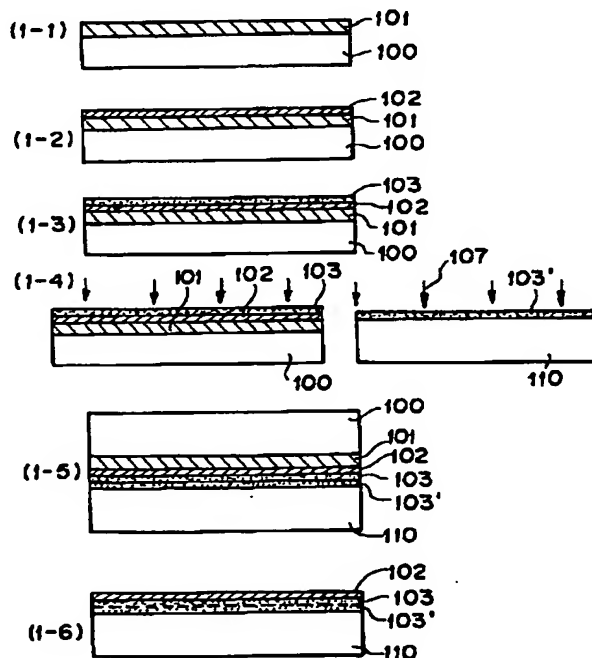
(74) 代理人 弁理士 山下 稔平

(54) 【発明の名称】 S O I 基板の作製方法

(57) 【要約】

【目的】 貼り合わせ方式の S O I 基板の貼り合わせ界面の品質を向上することにより、活性層の膜厚が均一で、下地 S i O<sub>2</sub> が十分な厚みを持ち、界面準位が小さく、ボイドが少ないといった理想的な S O I 基板の作製方法を提供する。

【構成】 シリコン単結晶基板 100 の表層を陽極化成により多孔質化 101 する工程 (1-1) と、該多孔質化した表面上にシリコン単結晶薄膜 102 をエピタキシャル成長する工程と、該エピタキシャル層 102 の表面を酸化 103 することにより得られる第 1 の基板と、表面に S i O<sub>2</sub> 103' を有する第 2 の基板 110 とを密着させて貼り合わせる工程 (1-5) の前に、少なくとも片方の基板の表面をプラズマ雰囲気 107 に晒し、前記 S i O<sub>2</sub> 表面 103, 103' を活性化する工程 (1-4) を有することを特徴とする S O I 基板の作製方法。



## 【特許請求の範囲】

【請求項1】 シリコン単結晶基板上に、多孔質層、エピタキシャル層、シリコン酸化膜を順に形成した第1の基板を作製する工程と、

表面にシリコン酸化膜を有する第2の基板を用意し、前記第1の基板及び前記第2の基板の少なくとも片方の基板の前記シリコン酸化膜表面にX線を照射し、該シリコン酸化膜表面を活性化する工程と、

前記第1の基板と第2の基板を、前記活性化されたシリコン酸化膜を介して貼り合わせる工程と、

前記貼り合わされた基板の前記シリコン単結晶基板と前記多孔質層を除去することにより、前記第2の基板上に前記シリコン酸化膜を介して前記エピタキシャル層を有する基板を形成する工程と、を有することを特徴とするSOI基板の作製方法。

【請求項2】 前記X線が、電子線であることを特徴とする請求項1に記載のSOI基板の作製方法。

【請求項3】 前記X線が、プラズマであることを特徴とする請求項1に記載のSOI基板の作製方法。

【請求項4】 前記多孔質層は、前記シリコン単結晶基板の表層を陽極化成により多孔質化して形成することを特徴とする請求項1～3のいずれか1項に記載のSOI基板の作製方法。

【請求項5】 前記貼り合わされた基板の前記シリコン単結晶基板と前記多孔質層の除去は、前記密着したシリコン基板側の多孔質化されていない前記シリコン単結晶基板部分を研削、或いはエッチングによって除去してから、引き続き前記多孔質シリコン部分を選択的にエッチングする工程により行なわれることを特徴とする請求項1～4のいずれか1項に記載のSOI基板の作製方法。

【請求項6】 前記多孔質シリコン部分の選択的エッチングは、フッ酸、過酸化水素水の混合エッチング液により行なうことを特徴とする請求項5に記載のSOI基板の作製方法。

【請求項7】 前記プラズマは、水素、酸素、窒素、ハロゲンガス、希ガスの単元素系のガス、或いはシラン系を除く化合物ガス、或いはこれらの混合ガスを用いることを特徴とする請求項3に記載のSOI基板の作製方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、SOI基板の作製方法に関するものであり、特に貼り合わせ方式により作製されるSOI基板の作製方法に関するものである。

## 【0002】

【従来の技術】 絶縁物上の単結晶シリコン半導体層の形成は、Silicon on Insulator (SOI) 技術として広く知られ、通常のシリコン集積回路を作製するバルクシリコン基板では到達しえない数々の優位点をこの基板が有することから、多くの研究が成さ

れてきた。

【0003】 最近報告されたSOI形成法の中で、特に質的に優れているものとして通称「貼り合わせSOI」がある。これは、少なくとも一方が酸化等により絶縁膜が形成されている2枚のウェハの鏡面同士を密着させ、熱処理を施して密着界面の結合を強力なものとした後、どちらか一方側から基板を研磨、或いはエッチングすることによって絶縁膜上に任意の厚みを持ったシリコン単結晶薄膜を残すという技術である。この技術において最も重要なのはシリコン基板を薄膜化する工程である。即ち通常数百 $\mu\text{m}$ もの厚さのシリコン基板を均一に数 $\mu\text{m}$ 、もしくは1 $\mu\text{m}$ 以下の厚さまで研磨、或いはエッチングしなければならず、その制御性や均一性の面で技術的に極めて困難である。シリコンの薄膜化の方法には大別して2通りある。1つは研磨のみで行なう方法

(BPSOI: Bonding and Polishing SOI) であり、もう1つは残す薄膜の直上(単体の基板作製時では直下)にエッチングストップ層を設け、基板エッチングとエッチングストップ層のエッチングの2段階で行なう方法(BESOI: Bond and Etchback SOI)である。BESOIはシリコン活性層は予め形成してあるエッチングストップ層の上にエピタキシャル成長する場合が多いので、膜厚の均一性を確保するにはこのBESOIが現在のところ有利とされている。しかしながらエッチングストップ層は不純物を高濃度に含んでいる場合が多いので、これによって結晶格子の歪みが発生し、結晶欠陥がエピタキシャル層に伝搬するという問題がある。またエピタキシャル層の酸化や貼り合わせ後のアニール時に不純物が拡散して、エッチング特性を変化させてしまう可能性もある。

【0004】 もう一つ貼り合わせSOIで重要なことは、大気中の不純物や基板表面の凹凸のために、貼り合わせ界面に界面準位が発生しやすいという点にある。界面準位はデバイスの電流リーク等の特性劣化をもたらす原因となり易い。そこでこれを避けるためには、活性層を酸化してから貼り合わせするという方法が考えられる。これにより活性層の下地界面は貼り合わせ界面でなく、熱酸化界面となり、界面準位は低く抑えられる。ただしSOIの特性を十分に満たす酸化膜厚を得るためには、活性層をかなり酸化する必要があるが、前述したようにBESOIの場合には酸化時の熱のためにエッチングストップ層の不純物プロファイルを変化させてしまいかねない。従って活性層は薄く酸化して、他方の基板のシリコン酸化層を厚くしてシリコン酸化膜同士を貼り合わせることになる。しかしここでもまた新たな問題点が生ずる。即ちシリコンとシリコン酸化膜の貼り合わせに比べて、シリコン酸化膜同士の貼り合わせ強度は低く、そのために「ボイド」と呼ばれる空隙を貼り合わせ界面に多く発生させてしまうのである。

【0005】 $\text{SiO}_2$  と  $\text{SiO}_2$  を従来よりも強い結合力で貼り合わせた例として、石英基板と表面が酸化されたシリコン基板を貼り合わせる方法を、Goetzらが報告している(G. G. Goetz, Electrochemical Society, Bonding Symposium 1991, Extended abstract, pp. 65)。これは $\text{SiO}_2$ の表面を酸素のRFプラズマ中に晒し、プラズマとシリコン基板の間にDCバイアスを印加することで酸素イオンプラズマを $\text{SiO}_2$ 表面に衝突させ、そのエネルギーで $\text{SiO}_2$ を活性化させるという方法である。そして活性化した $\text{SiO}_2$ 同士を貼り合わせると、活性化しないで貼り合わせたものに比べて数倍の結合力が発生し、言い替えれば、同じ結合力を得るのにかなり低温の熱処理で済むということで、これはBESOIのように高温の熱処理を嫌うものや、ガラスとシリコンの貼り合わせのように熱膨張係数の異なる組み合わせの場合に適している。

【0006】一方ボイドは貼り合わせ強度だけでなく、貼り合わせ面の凹凸に非常に敏感である。この点では前述したBESOIは不利な場合が多い。何故ならばエッチングストップ層を形成する方法としては、例えばCVDでヘテロエピタキシャル成長を行ったり、高濃度の不純物をドーピングしたエピタキシャル成長を行なうのが通常だが、CVDの場合、特にヘテロエピタキシャル成長の場合には、研磨によって得られる平坦面よりも平坦性が劣ることが多いからである。イオン注入などによりエッチングストップ層を形成することもあるが、この場合も平坦性は悪化してしまう。

【0007】貼り合わせ面の平坦性が良く、且つBESOIのように活性層の膜厚が均一で、従来のBESOIよりもエッチバックの選択性が数桁も良いという例では、シリコン基板の表面を陽極化成により多孔質化し、この上にシリコン活性層をエピタキシャル成長する技術がある(特開平5-21338号公報参照)。この場合、多孔質層がBESOIで言うエッチングストップ層にあたる。但し多孔質シリコンは単結晶シリコンに比べて、フッ酸系のエッチング液に対して非常にエッチングレートが高いため、エッチングストップ層というよりも高選択エッチング特性を重視している。この技術では多孔質シリコン層はCVDでなく、平坦な単結晶シリコン基板表面を陽極化成するので、エッチングストップ層をCVD等で形成するBESOIに比べて、エピタキシャル成長した活性層の平坦性は良くなる。しかしこの技術においてさえエピタキシャル成長層表面は、バルクの研磨表面より微妙に平坦性が悪い。このために活性層を酸化して他方のシリコン酸化膜と貼り合わせる際に、若干のボイドが発生することがある。

【0008】

【発明が解決しようとしている課題】以上説明したように、シリコンとシリコン酸化膜の貼り合わせに比べて、

シリコン酸化膜同士の貼り合わせ強度は低く、そのために「ボイド」と呼ばれる空隙を貼り合わせ界面に多く発生させてしまうという問題がある。

【0009】また、ボイドは貼り合わせ強度だけでなく、貼り合わせ面の凹凸に非常に敏感であるが、エピタキシャル成長層表面は、バルクの研磨表面より微妙に平坦性が悪い。このために活性層を酸化して他方のシリコン酸化膜と貼り合わせる際に、若干のボイドが発生することがあるという問題がある。

【0010】即ち、活性層の膜厚が均一で、下地 $\text{SiO}_2$ が十分な厚みを持ち、界面準位が小さく、ボイドが少ないといった理想的なSOI基板は未だ生産されるに至っていないという解決すべき課題がある。

【0011】(発明の目的)本発明の目的は、活性層の膜厚が均一で、下地 $\text{SiO}_2$ が十分な厚みを持ち、界面準位が小さく、ボイドが少ないといった理想的なSOI基板の作製方法を提供することにある。

【0012】

【課題を解決するための手段および作用】本発明のSOI基板の作製方法は、表層が多孔質化されたシリコン基板の多孔質シリコン面上に単結晶シリコン層をエピタキシャル成長し、次いで該成長面表層を酸化して第1の基板を形成する。同じく表面に $\text{SiO}_2$ を有する支持基板(第2の基板)を用意し、これらの両者、もしくはいずれか一方を酸素等のプラズマ中、或いはX線、電子線などに晒し、化学的に $\text{SiO}_2$ 表面を活性化する。そして2枚の基板を室温でVan der Waals力のみで密着し、熱処理を施した後に(或いは熱処理を行わずに)まずエピタキシャル成長側のシリコン基板部分を研削またはエッチングし、続いて多孔質部分を選択的にエッチングして、単結晶シリコン薄膜を $\text{SiO}_2$ 上に形成するものである。

【0013】本発明を実施するにあたって、多孔質シリコンが有する重要な物理的效果が二点ある。

【0014】一つには多孔質シリコンのエッチング特性である。通常シリコンはフッ酸では殆どエッチングされないが、多孔質化することによってフッ酸でのエッチングが可能となる。しかもフッ酸、過酸化水素水の混合エッチング液を用いると、非多孔質と多孔質では約10の5乗倍ものエッチング速度比が得られる。従って1 $\mu\text{m}$ 前後の薄いシリコン層でも均一に制御性よく残す選択エッチングが可能になる。

【0015】もう一つの効果はエピタキシャル成長特性である。多孔質シリコンは結晶構造としては単結晶構造を保っており、表面から内部にわたって数十〜数百オングストローム径の孔が高密度に存在するものである。この表面に成長するエピタキシャル層は、非多孔質の単結晶基板上のエピタキシャル層とほぼ同等の結晶性が得られるという特性を有する。

【0016】尚、多孔質上のエピタキシャル成長の特徴

として、非常に低密度ではあるが成長界面から積層欠陥が発生する場合がある。これによってエピタキシャル成長時に発生した積層欠陥は、貼り合わせにより他方の基板に転写されるので、できるSOI基板のシリコン膜中に観察される積層欠陥は通常と逆向きに見える。

【0017】以上の物理的特性より、活性層として信頼性の高い単結晶シリコン基板上的エピタキシャル層と同等の単結晶薄膜を用いることが可能になり、従来のSOI基板に比べて優れた結晶性と優れた膜厚の均一性を有するSOI基板が適用できる。

【0018】また本発明のプロセスでは2枚の基板のSiO<sub>2</sub>面同士を貼り合わせるので、活性層であるエピタキシャルシリコン膜とSiO<sub>2</sub>（前記エピタキシャル層の熱酸化膜）界面の界面準位は十分低く、且つSiO<sub>2</sub>層の厚みは任意に制御できるので、SOIの特性を十分に生かした基板を作製できる。

【0019】そして貼り合わせ界面のSiO<sub>2</sub>は、プラズマ処理、又はX線照射、又は電子線照射によって表面が活性化しているので、貼り合わせ強度は十分高められ、ボイドの発生が抑制される。

【0020】また、前記多孔質シリコン部の選択エッチングは、フッ酸、過酸化水素水の混合エッチング液により行なうことが好ましく、これにより、制御性良くエッチングすることができる。

【0021】また、前記プラズマは、水素、酸素、窒素、ハロゲンガス、希ガスの単元素系のガス、或いはシラン系を除く化合物ガス、或いはこれらの混合ガスを用いることが好ましく、これにより、SiO<sub>2</sub>表面をより効果的に活性化することができる。

【0022】（実施態様例）本発明の実施態様例を図1及び図6を用いて説明する。

【0023】（図1-1）単結晶シリコン基板100を陽極化成して多孔質シリコン101を形成する。このとき多孔質化する厚みは、基板の片側表面層数μm～数十μmでよい。また基板全体を陽極化成してもかまわない。

【0024】多孔質シリコンの形成方法については、図6を用いて説明する。まず基板としてP型の単結晶シリコン基板600を用意する。N型でも不可能ではないが、その場合は低抵抗の基板に限定されるか、または光を基板表面に照射してホールの生成を促進した状態で行なわなければならない。基板600を図6-1に示すような装置にセッティングする。即ち基板の片側がフッ酸系の溶液604に接していて、溶液側に負の電極606が設けられており、逆側は正の金属電極605に接している。

【0025】また、図6-2に示すように、正電極側605'も溶液604'を介して電位をとってもかまわない。いずれにせよフッ酸系溶液に接している負の電極側から多孔質化が起こる。

【0026】フッ酸系溶液604としては、一般的には濃フッ酸（49%HF）を用いる。純水（H<sub>2</sub>O）で希釈していくと、流す電流値にもよるが、ある濃度からエッチングが起こってしまうので好ましくない。また陽極化成中に基板600の表面から気泡が発生してしまい、この気泡を効率よく取り除く目的から、界面活性剤としてアルコールを加える場合がある。アルコールとしてメタノール、エタノール、プロパノール、イソプロパノール等が用いられる。また界面活性剤の代わりに攪はん器を用いて、溶液を攪はんしながら陽極化成を行ってもよい。負電極606に関しては、フッ酸溶液に対して侵食されないような材料、例えば金（Au）、白金（Pt）等が用いられる。正側の電極605の材質は一般に用いられる金属材料でかまわないが、陽極化成が基板600すべてになされた時点で、フッ酸系溶液604が正電極605に達するので、正電極605の表面にも耐フッ酸溶液性の金属膜をコーティングしておくといよい。陽極化成を行う電流値は最大数百mA/cm<sup>2</sup>であり、最小値は零でなければよい。この値は多孔質化したシリコンの表面に良質のエピタキシャル成長ができる範囲内で決定される。通常電流値が大きいと陽極化成の速度が増すと同時に、多孔質シリコン層の密度が小さくなる。即ち孔の占める体積が大きくなる。これによってエピタキシャル成長の条件が変わってくるのである。

【0027】（図1-2）以上のようにして形成した多孔質層101上に、非多孔質の単結晶シリコン層102をエピタキシャル成長する。エピタキシャル成長は一般的な熱CVD、減圧CVD、プラズマCVD、分子線エピタキシー、スパッタ法等で行なわれる。成長する膜厚はSOI層の設計値と同じくすれば良いが、好ましくは2μm以下の膜厚が良い。これは2μm以上の膜厚の単結晶シリコン膜がSiO<sub>2</sub>を主成分とする絶縁性基板と密着している場合、これをデバイスプロセスで熱処理すると両材料の熱膨張係数の違いから貼り合わせ界面に大きな応力が発生し、シリコン膜の破壊、基板の反り、または界面での剥離等が起こってしまうからである。膜厚が2μm以下であれば応力は比較的小さくてすむので、膜の破壊、剥離、反り等は起こりにくい。より好ましくは、0.5μm以下である。これは0.5μm以上の膜厚であるとして、後のアニールの際に剥離、破壊等が起こらなくても、微小な領域において結晶にスリップラインが生じやすくなるからである。

【0028】（図1-3）エピタキシャル層102の表面を酸化（103）する。これはエピタキシャル層を次の工程で直接支持基板と貼り合わせた場合、貼り合わせ界面には不純物が偏析しやすく、また界面の原子の非結合手（ダングリングボンド）が多くなり、薄膜デバイスの特性を不安定化させる要因になるからである。

【0029】尚酸化膜厚は、貼り合わせ界面に取り込まれる大気中からのコンタミネーションの影響を受けない



程度の厚みがあれば良い。

【0030】(図1-4) 上記表面が酸化されたエピタキシャル面を有する基板100と、支持基板となるSiO<sub>2</sub>(103')を表面に有する基板110を用意する。支持基板110はシリコン基板表面を酸化したもの、石英ガラス、結晶化ガラス、任意基板上にSiO<sub>2</sub>を堆積したものなどが挙げられる。

【0031】次いでこれらの両基板、もしくは一方をプラズマ雰囲気中、或いはX線、電子線に晒して表面のSiO<sub>2</sub>を活性化する。

【0032】プラズマ雰囲気中に晒すときに用いるガスは酸素が好ましいが、その他にも大気(酸素/窒素の混合)、窒素、水素、またはアルゴン、ヘリウム等の不活性ガスや、アンモニア等の分子ガスなどが可能である。基板に照射するエネルギーはDCバイアスで数ボルト〜400ボルト程度の範囲で制御するのが好ましく、それ以上のバイアスをかけるとSiO<sub>2</sub>がかなりの速度でエッチングされ、表面荒れを起こすので好ましくない。また照射エネルギーはDCバイアスで制御しなくても、プラズマ自体が持つセルフバイアスを制御することでも十分行なえる。セルフバイアスは例えばプラズマを作るRFパワーに大きく依存し、その他にもガス種やガスの圧力などにも依存する。

【0033】X線は大気中或いは酸素雰囲気中で使用できる。電子線に関しては真空中で行わなければならないという制限がある。

【0034】(図1-5) 上記用意した両基板を洗浄した後に貼り合わせる。洗浄方法は純水でリンスするだけ好ましく、他には過酸化水素水を純水で希釈したもの、塩酸もしくは硫酸を純水で十分に希釈したものも可能である。

【0035】貼り合わせた後に基板を全面で加圧すると、接合の強度を高める効果がある。

【0036】そして次に貼り合った基板を熱処理する。熱処理温度は高い方が好ましいが、あまり高すぎると多孔質層101が構造変化をおこしてしまったり、基板に含まれていた不純物がエピタキシャル層に拡散することがあるので、これらを起こさない温度と時間を選択する必要がある。具体的には600〜1100℃程度が好ましい。また基板によっては高温で熱処理できないものがある。例えば支持基板110が石英ガラスである場合には、シリコンと石英の熱膨張係数の違いから、200℃程度以下の温度でしか熱処理できない。この温度を越えると貼り合わせた基板が応力で剥がれたり、または割れたりしてしまう。ただし熱処理は次の工程で行なうバルクシリコン100の研削やエッチングの際の応力に耐えられれば良い。従って200℃以下の温度であっても活性化の表面処理条件を最適化することで、プロセスは行なえる。

【0037】(図1-6) 次にエピタキシャル成長層1

02を残してシリコン基板部分100と多孔質部分101を選択的に除去する。まずシリコン基板部分100は表面グラインダー等により研削するか、或いは水酸化カリウム、アンモニア水等のアルカリ溶液、或いはトリメチルアンモニウム等の有機アルカリ溶液で除去する。エッチングの場合は100℃以下の温溶液中で行なうのが効果的である。アルカリ系の溶液はSiO<sub>2</sub>を殆どエッチングしないので、支持基板がガラスかもしくは酸化膜で覆われたシリコン基板であれば、シリコン基板部分のみを選択的にエッチングできる。また、フッ酸と硝酸、もしくはこれに酢酸等を加えた酸混合液でエッチング除去することも可能である。但しフッ酸硝酸系エッチャントは支持基板をも多少エッチングするので、長時間の使用は避けた方がよい。シリコン基板部分100をエッチングし、多孔質部分101が露出した時点でエッチングを一旦終了し、後の多孔質部分101はフッ酸系溶液中で選択エッチングを行なう。エピタキシャル成長部分102は多孔質でないので殆どフッ酸と反応せずに薄膜として残る。また当然のことながら支持基板110は、SiO<sub>2</sub>を主成分とする場合にはフッ酸系溶液に反応し易いので、長時間フッ酸溶液に浸しておくのは好ましくない。しかし多孔質シリコン層が薄ければ、これをエッチングする時間はそれほどかからないので気にすることは無い。もし支持基板110が少しでもエッチングしたくない場合には、予め貼り合わせ面と反対面にCVD等でシリコン窒化膜や他のフッ酸と反応しにくい物質を堆積しておくことと良い。またはエッチング液に基板を浸す前に多孔質部分101もある程度アルカリ溶液、有機アルカリ溶液、またはフッ酸硝酸系溶液で薄くしておけば、エピタキシャル層と多孔質層の選択エッチングに要する時間が短くてすむので、支持基板もあまり反応させることなく済む。

【0038】エピタキシャル膜102と多孔質層101の選択エッチングに用いるフッ酸系溶液というのは、フッ酸に過酸化水素水(H<sub>2</sub>O<sub>2</sub>)を混合したものが用いられる。フッ酸と硝酸、もしくはこれに酢酸を加えた混合溶液でも多孔質シリコンの選択エッチングは可能だが、この場合あまり選択比がとれないことと、残されるべき単結晶シリコン薄膜も多少エッチングされるということで、精密に時間等の制御をする必要がある。

【0039】以上の工程を行なうことによって絶縁性基板上に単結晶シリコン薄膜を得ることができる。

【0040】

【実施例】

(実施例1) 図1及び図6を用いて本発明の第1実施例の詳細を説明する。

【0041】(図1-1) 625ミクロンの厚みを持った5インチP型(100)単結晶シリコン基板(0.1〜0.2Ωcm)を用意し、これを図6-1に示すような装置にセットして陽極化成を行ない、シリコン基板

100の表面を20 $\mu$ mだけ多孔質シリコン101にした。この時の溶液604は49%HF溶液を用い、電流密度は100mA/cm<sup>2</sup>であった。そしてこの時の多孔質化速度は8.4 $\mu$ m/min.であり、20 $\mu$ mの厚みの多孔質層は約2.5分で得られた。

【0042】(図1-2) 前記多孔質シリコン101上にCVD方により、単結晶シリコン層102を0.5 $\mu$ mエピタキシャル成長した。堆積条件は以下のとおりである。

【0043】使用ガス: SiH<sub>4</sub>/H<sub>2</sub>  
 ガス流量: 0.62/140 (1/min.)  
 温度: 750℃  
 圧力: 80 Torr  
 成長速度: 0.12 $\mu$ m/min.

(図1-3) 上記方法にて作成した基板を水蒸気雰囲気中900℃の条件で処理し、0.1 $\mu$ mの酸化膜103を得た。

【0044】(図1-4) 上記酸化膜を有する基板100と、予め用意しておいた0.5 $\mu$ m厚のシリコン酸化膜を有する支持基板(シリコンウェハー)110をプラズマ処理装置内にセットし、酸素プラズマにより各々の表面を活性化処理した。処理条件は次のとおり。

【0045】RF周波数・・・13.58MHz  
 RFパワー・・・400W  
 酸素流量・・・30 sccm  
 圧力・・・15 pa.  
 処理時間・・・5分

尚、プラズマと基板の間では特にバイアスの制御は行わず、プラズマのセルフバイアスのみで表面処理をした。

【0046】(図1-5) 上記表面処理した両基板を純水に5分間浸し、スピン乾燥した後に処理面同士を貼り合わせた。その後800℃、6時間の熱処理を行った。

【0047】(図1-6) 熱処理後にシリコン基板100側を表面研削装置で610 $\mu$ m研削し、多孔質シリコン102を露出させた。

【0048】この基板を引き続き選択エッチング溶液中に浸し、多孔質部分101のみを選択的に全てエッチングした。このとき選択エッチング溶液の組成と多孔質シリコンに対するエッチング速度は、

HF:H<sub>2</sub>O<sub>2</sub>=1:5 1.6 $\mu$ m/min.  
 であった。従って20 $\mu$ m弱の多孔質部分は、約13分間で全てエッチングされた。ちなみにこのときの単結晶シリコン層102のエッチング速度は0.0006 $\mu$ m/hourであり、殆どエッチングされずに残った。

【0049】この結果0.6 $\mu$ mのシリコン酸化膜上に約0.4 $\mu$ mの単結晶シリコン膜を備えたSOI基板が出来上がり、SOI膜のボイドの密度は、従来の表面処理をしないものに比べて約1/4に減少した。

【0050】(実施例2) 図2を用いて本発明の第2実施例の詳細を説明する。

【0051】(図2-1) 300 $\mu$ mの厚みを持った抵抗率0.01 $\Omega$ ・cmの4インチP型(100)シリコン基板200を用意し、その表層を第1実施例と同様に20 $\mu$ mだけ多孔質シリコン201とした。

【0052】(図2-2) 得られた多孔質面上に第1実施例と同様にエピタキシャル層202を0.15 $\mu$ mの厚みに形成した。

【0053】(図2-3) 上記方法にて作成した基板を1000℃の水蒸気中で0.1 $\mu$ m酸化した。

【0054】(図2-4) 上記基板と予め用意しておいた4インチの合成石英基板210を、第1実施例と同様に表面をプラズマ処理した。

【0055】(図2-5) 上記シリコン基板200と石英基板210を純水中に5分間浸した後に、互いの処理面を貼り合わせた。続いて180℃、24時間の熱処理を行なった。

【0056】(図2-6) まず280 $\mu$ mあるシリコン基板部分200をフッ酸/硝酸/酢酸の1:10:10混合溶液でエッチングした。そして表面に多孔質シリコン層201が露出したところで、多孔質層201をフッ酸/過酸化水素水の1:5混合液で選択的にエッチングした。このときフッ酸/硝酸/酢酸の単結晶シリコンに対するエッチングレートは約2 $\mu$ m/分であったので約140分で、またフッ酸/過酸化水素水の多孔質シリコンに対するエッチングレートは約1.6 $\mu$ m/分であったので約13分で多孔質層全てがエッチングできた。石英基板210は数 $\mu$ mエッチングされただけにとどまった。

【0057】この結果石英基板上に0.1 $\mu$ mのシリコン単結晶薄膜を備えたSOI基板が出来上がり、SOIのボイド密度は従来の表面処理をしない石英基板のタイプのものに比べ、約1/5に減少した。

【0058】(実施例3)

(図3-1) 400 $\mu$ mの厚みを持った抵抗率0.01 $\Omega$ ・cmの5インチP型(100)シリコン基板300を用意し、その表面から20 $\mu$ mの厚みだけ多孔質層301を形成した。

【0059】(図3-2) 得られた基板の多孔質表面に第1実施例と同様にエピタキシャル層302を0.5 $\mu$ mの厚みに形成した。

【0060】(図3-3) 上記基板のエピタキシャル層302表面を1000℃の水蒸気中で0.2 $\mu$ m酸化してSiO<sub>2</sub>層303を得た。この結果エピタキシャル層のシリコン単結晶部分が0.4 $\mu$ m、酸化膜部分が0.2 $\mu$ mの膜厚に各々なった。

【0061】(図3-4) 上記方法にて作成した基板300と予め用意しておいた合成石英基板310をプラズマ処理した。処理条件は次のとおり。

【0062】RF周波数・・・13.56MHz  
 RFパワー・・・450W  
 ガス種・・・酸素／窒素混合  
 流量比・・・40sccm／160sccm  
 圧力・・・20pa.  
 処理時間・・・8分

(図3-5) 上記処理基板を10%の過酸化水素水で洗浄し、更に純水でリンスした後に乾燥させ、互いの基板を貼り合わせた。次いで貼り合わせた基板に70トンの圧力をかけて10分間置いた。

【0063】(図3-6) 上記基板を熱処理することなしに、そのままシリコン基板側を溶液にてエッチングした。まずシリコン基板を覆っている熱酸化膜303を希フッ酸で除去した後、徳山曹達製のテトラ・メチル・アンモニウム・ハイドライドの2.4%水溶液(商品名:SD-1)に浸し、90℃で約5時間処理した。これによりシリコン基板側のバルクシリコン部分300は全てエッチングされ、多孔質層301が露出した。引き続いて多孔質部分301をフッ酸／過酸化水素水溶液で選択的にエッチングした。

【0064】(図3-7) 上記工程により得られた石英基板310上の単結晶シリコン薄膜302を、設計された素子の面積、形状、配置に合わせて島状にパターニングした。パターニング後に素子形成の第1工程として、各々の島状領域を1000℃の酸素雰囲気中で、0.05μm酸化した。従ってこの酸化工程を熱処理と兼ねることとし、結果、透明基板上に厚さ約0.4μmの単結晶シリコン薄膜を備えたSOI基板を得た。

【0065】(実施例4) 図4を用いて本発明の第4実施例の詳細を説明する。

【0066】(図4-1) 400μmの厚みを持った抵抗率0.01Ω・cmの5インチP型(100)シリコン基板400を用意し、その表面から20μmの厚みだけ多孔質層401を形成した。

【0067】(図4-2) 得られた基板の多孔質表面に第1実施例と同様にしてエピタキシャル層402を0.5μmの厚みに形成した。

【0068】(図4-3) 上記基板のエピタキシャル層402表面を900℃の水蒸気中で0.05μm酸化してSiO<sub>2</sub>層403を得た。

【0069】(図4-4) 上記方法にて作成した基板400と予め用意しておいた5インチ径、厚さ625μmの合成石英基板410をプラズマ処理した。処理条件は次のとおり。

【0070】RF周波数・・・13.56MHz  
 RFパワー・・・450W  
 ガス種・・・酸素／窒素混合  
 流量比・・・40sccm／160sccm  
 圧力・・・20pa.  
 処理時間・・・3分

(図4-5) 上記処理基板を10%の過酸化水素水で洗浄し、更に純水でリンスした後に乾燥させ、互いの基板を貼り合わせた。次いで貼り合わせた基板に70トンの圧力をかけて10分間置いた。更に同基板を180℃、24時間の熱処理を行なった。

【0071】(図4-6) 上記基板のシリコン基板側から、表面研削装置を用いてシリコン基板を100μm残すところまで研削した。つまり625μm厚の石英基板上に、多孔質層とエピタキシャル層を含めて100μm厚のシリコン基板が貼り合わせた状態になっている。これを300℃、24時間の熱処理を行なった。

【0072】(図4-7) 残っていたバルクの部分400を引き続き表面研削装置で研削し、そして多孔質シリコン部分401をフッ酸／過酸化水素水混合液でエッチングした。この結果石英基板上に約0.4μm厚の単結晶シリコン薄膜402を備えたSOI基板が出来上がり、SOIのポイド密度は従来の表面処理をしない石英基板のタイプのものと比べ、約1/10に減少した。

【0073】(実施例5) 図5を用いて本発明の第5実施例の詳細を説明する。

【0074】(図5-1) 300μmの厚みを持った抵抗率0.01Ω・cmの4インチP型(100)シリコン基板500を用意し、その表層を第1実施例と同様にして20μmだけ多孔質シリコン501とした。

【0075】(図5-2) 得られた多孔質表面上に第1実施例と同様にしてエピタキシャル層502を0.15μmの厚みに形成した。

【0076】(図5-3) 上記方法にて作成した基板を1000℃の水蒸気中で0.1μm酸化した。

【0077】(図5-4) 予め用意しておいた0.7μm厚のシリコン酸化膜を有する4インチのシリコン基板510を第1実施例と同様に表面をプラズマ処理した。このとき上記多孔質シリコン上にエピタキシャル成長した基板については、プラズマ処理を行なわなかった。

【0078】(図5-5) 上記2枚の基板を10%の過酸化水素水で洗浄し、更に純水でリンスした後に乾燥させ、互いに貼り合わせた。次いで貼り合わせた基板に70トンの圧力と、同時に200℃の温度をかけて1時間間置いた。更に取り出した基板を1000℃で30分間アニールした。

【0079】(図5-6) 上記基板を第1実施例と同様に、研削と選択エッチングにより第1基板側のバルク部分500及び多孔質シリコン部分501を除去した。

【0080】この結果0.8μmのシリコン酸化膜上に0.1μmの単結晶シリコン膜を備えたSOI基板が出来上がり、SOI膜のポイドの密度は、従来の表面処理をしないものに比べて約1/10に減少した。

【0081】(実施例6)

(図6-1) 400μmの厚みを持った抵抗率0.0

1  $\Omega \cdot \text{cm}$  の 5 インチ P 型 (100) シリコン基板 600 を用意し、その表面から 20  $\mu\text{m}$  の厚みだけ多孔質層 601 を形成した。

【0082】(図 6-2) 得られた基板の多孔質表面に第 1 実施例と同様にしてエピタキシャル層 602 を 0.5  $\mu\text{m}$  の厚みに形成した。

【0083】(図 6-3) 上記基板のエピタキシャル層 602 表面を 1000℃ の水蒸気中で 0.2  $\mu\text{m}$  酸化して  $\text{SiO}_2$  層 603 を得た。この結果エピタキシャル層のシリコン単結晶部分が 0.4  $\mu\text{m}$ 、酸化膜部分が 0.2  $\mu\text{m}$  の膜厚に各々なった。

【0084】(図 6-4) 上記方法にて作成した基板 600 と予め用意しておいた合成石英基板 610 に、大気中で軟 X 線 (波長 2 nm) を 30 秒間照射した。

【0085】(図 6-5) 上記処理基板を 10% の過酸化水素水で洗浄し、更に純水でリンスした後に乾燥させ、互いの基板を貼り合わせた。次いで貼り合わせた基板に 70 トンの圧力をかけて 10 分間置いた。

【0086】(図 6-6) 上記基板を熱処理することなしに、そのままシリコン基板側を溶液にてエッチングした。まずシリコン基板を覆っている熱酸化膜 603 を希フッ酸で除去した後、徳山曹達製のテトラ・メチル・アンモニウム・ハイドライドの 2.4% 水溶液 (商品名: SD-1) に浸し、90℃ で約 5 時間処理した。これによりシリコン基板側のバルクシリコン部分 600 は全てエッチングされ、多孔質層 601 が露出した。引き続いて多孔質部分 601 をフッ酸/過酸化水素水溶液で選択的にエッチングした。

【0087】(図 6-7) 上記工程により得られた石英基板 610 上の単結晶シリコン薄膜 602 を、設計された素子の面積、形状、配置に合わせて島状にパターンニングした。パターンニング後に素子形成の第 1 工程として、各々の島状領域を 1000℃ の酸素雰囲気中で 0.05  $\mu\text{m}$  酸化した。従ってこの酸化工程を熱処理と兼ねることとし、結果、透明基板上に厚さ約 0.4  $\mu\text{m}$  の単結晶シリコン薄膜を備えた SOI 基板を得た。

【0088】(実施例 3 とほぼ同じ工程)

(実施例 7)

(図 7-1) 400  $\mu\text{m}$  の厚みを持った抵抗率 0.01  $\Omega \cdot \text{cm}$  の 5 インチ P 型 (100) シリコン基板 700 を用意し、その表面から 20  $\mu\text{m}$  の厚みだけ多孔質層 701 を形成した。

【0089】(図 7-2) 得られた基板の多孔質表面に第 1 実施例と同様にしてエピタキシャル層 702 を 0.5  $\mu\text{m}$  の厚みに形成した。

【0090】(図 7-3) 上記基板のエピタキシャル層 702 表面を 900℃ の水蒸気中で 0.05  $\mu\text{m}$  酸化して  $\text{SiO}_2$  層 703 を得た。

【0091】(図 7-4) 上記方法にて作成した基板 700 と予め用意しておいた 5 インチ径、厚さ 625  $\mu$

m の合成石英基板 710 を各々真空装置内にセットし、0.5 KeV の加速エネルギーで電子線を照射した。

【0092】(図 7-5) 上記処理基板を 10% の過酸化水素水で洗浄し、更に純水でリンスした後に乾燥させ、互いの基板を貼り合わせた。次いで貼り合わせた基板に 70 トンの圧力をかけて 10 分間置いた。更に同基板を 180℃、24 時間の熱処理を行なった。

【0093】(図 7-6) 上記基板のシリコン基板側から、表面研削装置を用いてシリコン基板を 100  $\mu\text{m}$  残すところまで研削した。つまり 625  $\mu\text{m}$  厚の石英基板上に、多孔質層とエピタキシャル層を含めて 100  $\mu\text{m}$  厚のシリコン基板が貼り合わせた状態になっている。これを 300℃、24 時間の熱処理を行なった。

【0094】(図 7-7) 残っていたバルクの部分 700 を引き続き表面研削装置で研削し、そして多孔質シリコン部分 701 をフッ酸/過酸化水素水混合液でエッチングした。この結果石英基板上に約 0.4  $\mu\text{m}$  厚の単結晶シリコン薄膜 702 を備えた SOI 基板が出来上がり、SOI のポイド密度は従来の表面処理をしない石英基板のタイプのものと比べ、約 1/10 に減少した。

【0095】(実施例 4 とほぼ同じ工程)

【0096】

【発明の効果】以上詳述したように、本発明によれば、シリコン基板の表層を多孔質化、次いで単結晶シリコンのエピタキシャル成長、次いで該成長層表面の酸化を行なった基板と、表面に  $\text{SiO}_2$  を有する基板を貼り合わせ、シリコン基板側のバルクシリコン部分と多孔質シリコン部分を除去することによって得られる SOI 基板の作製方法に於いて、貼り合わせる  $\text{SiO}_2$  表面をプラズマ処理、或いは X 線、電子線処理により活性化することにより、貼り合わせの強度を高め、界面に発生するポイドを数分の 1 から十分の 1 に減少させることができるようになった。

【0097】また貼り合わせ強度が高くなることによって、貼り合わせ後のアニール温度を低く抑えられる効果も得られるようになった。

【0098】また、本発明により、活性層の膜厚が均一で、下地  $\text{SiO}_2$  が十分な厚みを持ち、界面準位が小さく、ポイドが少ないといった理想的な SOI 基板を作製することができるようになる効果も得られる。

【図面の簡単な説明】

【図 1】本発明の実施態様例及び第 1 実施例の工程を説明するための模式的工程図。

【図 2】本発明の第 2 実施例を説明するための模式的工程図。

【図 3】本発明の第 3 実施例の説明するための模式的工程図。

【図 4】本発明の第 4 実施例の説明するための模式的工程図。

【図 5】本発明の第 5 実施例の説明するための模式的工

程図。

【図6】シリコン基板を多孔質化する装置の模式図。

【符号の説明】

100, 200, 300, 400, 500, 600  
単結晶シリコン基板  
101, 201, 301, 401, 501 多孔質化  
したシリコン基板  
102, 202, 302, 402, 502 エピタキ  
シャル成長層

103, 203, 303, 403, 503 エピ酸化  
膜

103', 503' 支持基板シリコン酸化膜

110, 210, 310, 410, 510 表面にS  
iO<sub>2</sub>層を有する支持基板

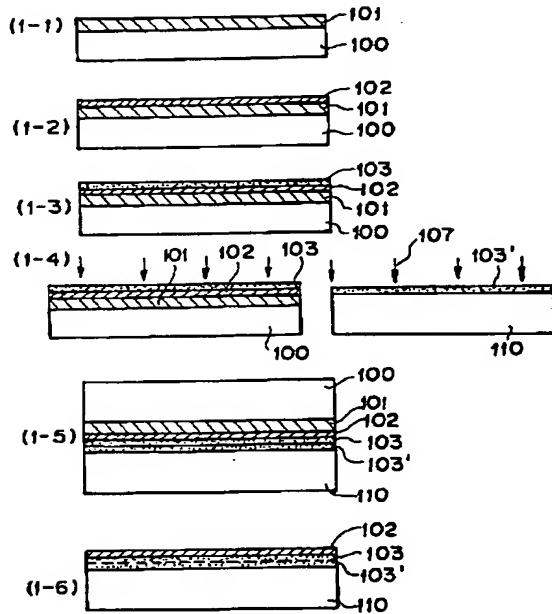
107, 207, 307, 407, 507 プラズマ

604, 604' エッチング液

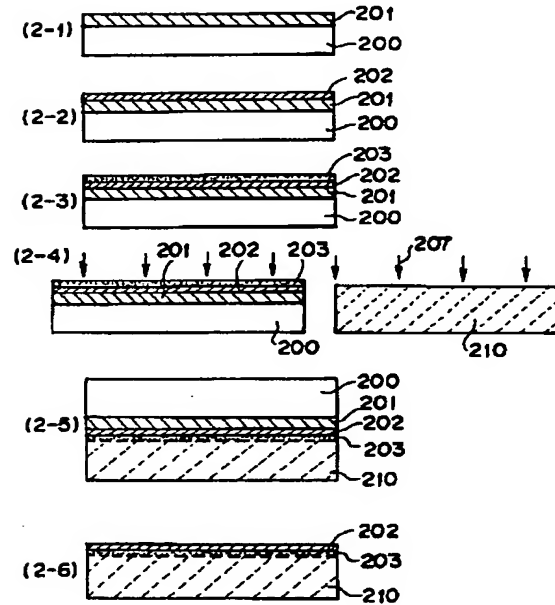
605, 605' 正電極

606, 606' 負電極

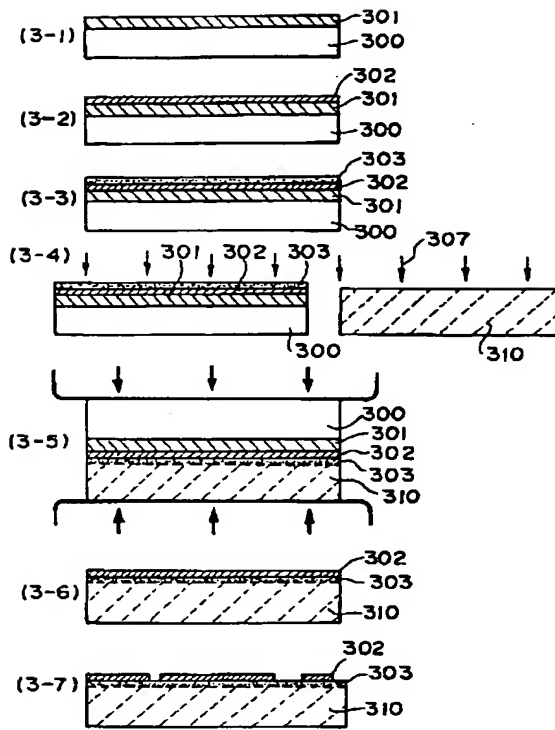
【図1】



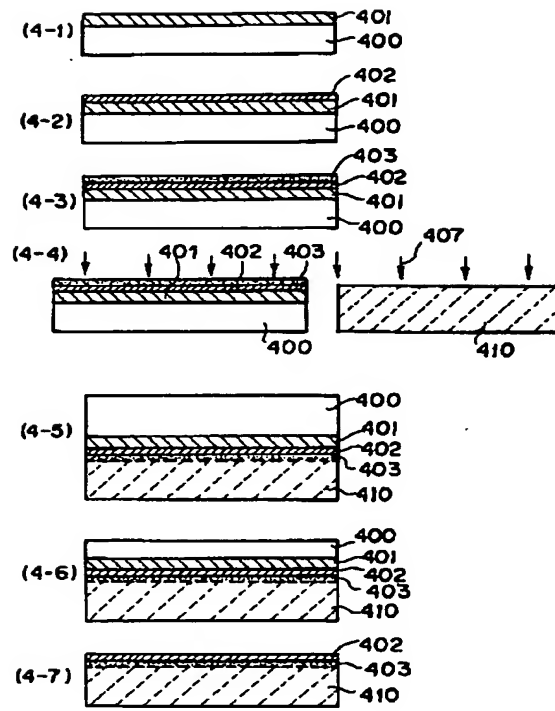
【図2】



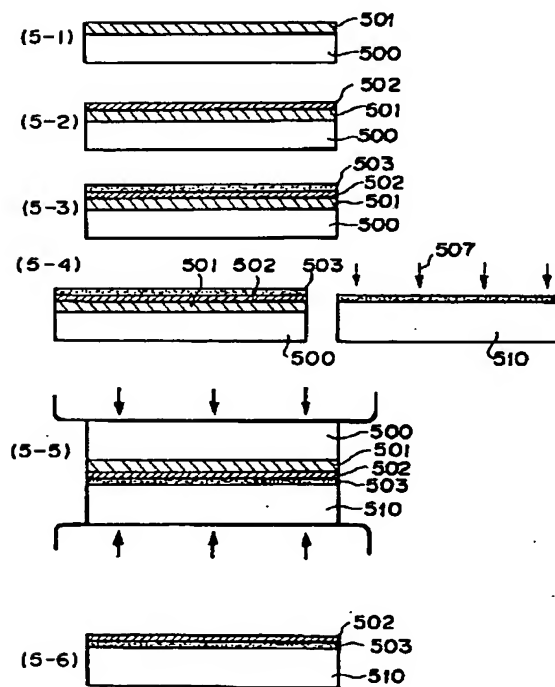
【図 3】



【図 4】



【図 5】



【図 6】

